

SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

Patent Number: JP5315869
Publication date: 1993-11-26
Inventor(s): HIGASHIDA YOSHIO
Applicant(s): MATSUSHITA ELECTRON CORP
Requested Patent: ☐ JP5315869
Application Number: JP19920120247 19920513
Priority Number(s):
IPC Classification: H03G3/10; H01L27/06
EC Classification:
Equivalents:

Abstract

PURPOSE:To reduce an output offset voltage.

CONSTITUTION:One collector of multi-collector transistors (TRs) Q1, Q2 being components of a current source circuit 5 connects to emitters of NPN TRs Q3, Q4 forming an amplifier circuit 6 and each emitter connects to ground via resistors R1, R2. The other collector of the multi-collector TRs Q1, Q2 is connected to one collector of the other TR, then a half of each emitter current flows as each collector current and even when a ratio of the resistance of the resistors R1, R2 has an error due to dispersion in the impurity diffusion for the integrated circuit, no error is caused in the current fed to the amplifier circuit 5 from the current source circuit 6.

Data supplied from the esp@cenet database - I2

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-315869

(43)公開日 平成5年(1993)11月26日

(51)Int.Cl.⁵

H 0 3 G 3/10

H 0 1 L 27/06

識別記号

B 7350-5J

7210-4M

FI

H 0 1 L 27/06

技術表示箇所

1 0 1 B

審査請求 未請求 請求項の数1(全7頁)

(21)出願番号

特願平4-120247

(22)出願日

平成4年(1992)5月13日

(71)出願人 000005843

松下電子工業株式会社

大阪府高槻市幸町1番1号

(72)発明者 東田 吉夫

大阪府門真市大字門真1006番地 松下電子
工業株式会社内

(74)代理人 弁理士 小鍛治 明 (外2名)

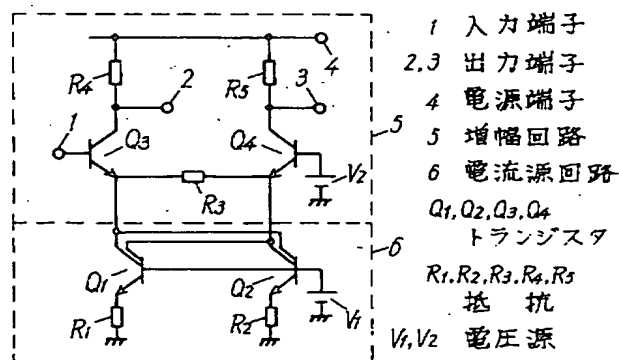
(54)【発明の名称】 半導体集積回路装置

(57)【要約】

【目的】 出力オフセット電圧を減少させる。

【構成】 増幅回路6を構成するNPNトランジスタ Q_3 、 Q_4 のエミッタに、電流源回路6を構成するマルチコレクタトランジスタ Q_1 、 Q_2 の各一方のコレクタを接続するとともに、それぞれのエミッタを抵抗 R_1 、 R_2 を介して接地した。そして、マルチコレクタトランジスタ Q_1 、 Q_2 の他方のコレクタをそれぞれ相手方の一方のコレクタに接続することで、各コレクタ電流にはそれぞれのエミッタ電流の1/2が流れることになり、抵抗 R_1 、 R_2 の値の比率がそれらを構成するための不純物拡散のばらつきで誤差があったとしても、電流源回路6から増幅回路5に供給される電流に誤差を生じない。

10



1

【特許請求の範囲】

【請求項1】ベースが入力端子1に、コレクタが出力端子1と第4の抵抗を介して電源端子に、エミッタが第3の抵抗の一端と第1のトランジスタの1つのコレクタと第2のトランジスタの1つのコレクタに接続された第3のトランジスタと、ベースが第2の電圧源を介して接地点に、コレクタが出力端子2と第5の抵抗を介して電源端子に、エミッタが前記第3の抵抗の一端と、前記第1のトランジスタの1つのコレクタと前記第2のトランジスタの1つのコレクタに接続された第4のトランジスタで構成された増幅回路と、ベースが前記第2のトランジスタのベースと第1の電圧源を介して接地点に、1つのコレクタが前記第3のトランジスタのエミッタと前記第3の抵抗の一端と前記第2のトランジスタの1つのコレクタに、1つのコレクタが前記第4のトランジスタのエミッタと前記第3の抵抗の一端と前記第2のトランジスタの1つのコレクタに、エミッタが第1の抵抗を介して接地点に接続された第1のトランジスタと、ベースが前記第1のトランジスタのベースと前記第1の電圧源を介して接地点に、1つのコレクタが前記第3のトランジスタのエミッタと前記第3の抵抗の一端と前記第1のトランジスタの1つのコレクタに、1つのコレクタが前記第4のトランジスタのエミッタと前記第3の抵抗の一端と前記第1のトランジスタの1つのコレクタに、エミッタが第2の抵抗を介して接続された第2のトランジスタで構成された電流源回路を備えたことを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、信号を増幅する半導体集積回路装置に関するものである。

【0002】

【従来の技術】以下に従来使用されている、信号を増幅する半導体集積回路装置の回路構成を図4に、またその構成要素の平面配置を図5にそれぞれ示す。

【0003】この回路装置は、入力端子1と出力端子1が接続されたトランジスタ Q_3 と、電圧源 V_1 と出力端子2が接続されたトランジスタ Q_4 と、抵抗 R_3 と R_4 と R_5 からなる増幅回路と、電圧源 V_1 が接続されたトランジスタ Q_1 と Q_2 と、抵抗 R_1 と R_2 からなる電流源回路とから構成される。

【0004】以上のように構成された半導体集積回路について、以下その動作を説明する。まず入力端子1のDCバイアス電圧 V_{in} は、電圧源 V_2 のDCバイアス電圧に等しいとする。

【0005】

【数1】

$$V_{in} = V_2$$

【0006】 V_2 ：電圧源 V_2 の電圧

この状態で、出力端子1と出力端子2の電圧を計算す

2

る。

【0007】まず抵抗 R_3 に流れる電流 I_3 は次式で示される。

【0008】

【数2】

$$I_3 = \frac{(V_{in} - V_{BE3}) - (V_2 - V_{BE4})}{R_3}$$

【0009】

10 R_3 ：抵抗 R_3 の抵抗値 V_{BE3} ：トランジスタ Q_3 のベース・エミッタ間の電圧 V_{BE4} ：トランジスタ Q_4 のベース・エミッタ間の電圧ここで、トランジスタ Q_3 と Q_4 の特性は等しいとすると以下が言える。

【0010】

【数3】

$$V_{BE3} = V_{BE4} = V_{BE(a)}$$

【0011】 $V_{BE(a)}$ ：トランジスタ Q_3 と Q_4 のベース・エミッタ間電圧

20 (数1)と(数3)より I_3 は以下になる。

【0012】

【数4】

$$I_3 = 0$$

【0013】よって、トランジスタ Q_3 に流れる電流 I_{c3} はトランジスタ Q_1 に流れる電流 I_1 に等しくなる。

【0014】

【数5】

$$I_{c3} = I_1$$

【0015】また、トランジスタ Q_4 に流れる電流 I_{c4} はトランジスタ Q_2 に流れる電流 I_2 に等しくなる。

【0016】

【数6】

$$I_{c4} = I_2$$

【0017】ここで、 I_1 と I_2 は、次式で求められる。

【0018】

【数7】

$$I_1 = \frac{V_1 - V_{BE1}}{R_1}$$

40 【0019】

 V_1 ：電圧源 V_1 の電圧値 R_1 ：抵抗 R_1 の抵抗値 V_{BE1} ：トランジスタ Q_1 のベース・エミッタ間の電圧

【0020】

【数8】

$$I_2 = \frac{V_1 - V_{BE2}}{R_2}$$

【0021】

50 R_2 ：抵抗 R_2 の抵抗値

3

V_{BE2} : トランジスタ Q_2 のベース・エミッタ間の電圧
ここで、トランジスタ Q_1 と Q_2 の特性は等しいとすると
以下が言える。

【0022】

【数9】

$$V_{BE1} = V_{BE2} = V_{BE(b)}$$

【0023】 $V_{BE(b)}$: トランジスタ Q_1 と Q_2 のベース・エミッタ間の電圧

(数9) を (数7) と (数8) に代入すると以下になる。

【0024】

【数10】

$$I_1 = \frac{V_1 - V_{BE(b)}}{R_1}$$

【0025】

【数11】

$$I_2 = \frac{V_1 - V_{BE(b)}}{R_2}$$

【0026】 通常、 R_1 と R_2 は、回路のオフセット電圧を発生させないために、等しく作られるが、拡散工程のバラツキで、相対比を合せるにも限界が有る。

【0027】 今、 R_1 と R_2 に以下の関係が成り立つとする。

$$V_{O1} = V_{CC} - R \cdot I_1 = V_{CC} - \frac{R}{R_1} (V_1 - V_{BE(b)})$$

【0035】 V_{CC} : 電源電圧

また、出力端子2の電圧 V_{O2} は次式で表わせる。

$$V_{O2} = V_{CC} - R \cdot I_2 = V_{CC} - \frac{R}{K \cdot R_1} (V_1 - V_{BE(b)})$$

【0037】 従って出力のオフセット電圧を ΔV とすると次式で示される。

$$\Delta V = V_{O1} - V_{O2} = \frac{R}{R_1} (V_1 - V_{BE(b)}) \left(\frac{1}{K} - 1 \right)$$

【0039】

【発明が解決しようとする課題】 上述の従来例においては、電流源を構成する抵抗 R_1 と抵抗 R_2 に、拡散工程でのバラツキが発生した場合には、出力端子1と出力端子2との間にオフセット電圧が発生してしまい、回路の信頼性を悪化させる要因となっていた。

【0040】 本発明は、このオフセット電圧の発生を減少させられる半導体集積回路装置の提供を目的とするものである。

【0041】

【課題を解決するための手段】 この目的を達成するために本発明の半導体集積回路装置は、電流源回路を構成しているトランジスタにマルチコレクタのトランジスタを使用したものである。

【0042】

【作用】 この構成によれば、従来の半導体集積回路装置と比べると、電流値を決定している抵抗に相対バラツキ

4

【0028】

【数12】

$$R_2 = K \cdot R_1$$

【0029】 K : 正の定数

(数12) を (数11) へ代入すると以下になる。

【0030】

【数13】

$$I_2 = \frac{V_1 - V_{BE(b)}}{K \cdot R_1}$$

10

【0031】 ここで、抵抗 R_4 と抵抗 R_5 に以下が成り立つとする。

【0032】

【数14】

$$R_4 = R_5 = R$$

【0033】

R_4 : 抵抗 R_4 の抵抗値

R_5 : 抵抗 R_5 の抵抗値

R : 抵抗値

以上より出力端子1の電圧 V_{O1} は次式で表わせる。

【0034】

【数15】

【0036】

【数16】

【0038】

【数17】

が発生しても、出力のオフセットを減少できる。

【0043】

【実施例】 以下本発明の半導体集積回路装置の一実施例について、図1の回路図、図2の平面構造図、図3の要部断面図を参照しながら説明する。

【0044】 この装置の回路は、図1に示すように入力端子1と出力端子1が接続されたトランジスタ Q_1 と、電圧源 V_2 と出力端子2が接続されたトランジスタ Q_2 と、抵抗 R_3 と R_4 と R_5 から構成される増幅回路と、電圧源 V_1 が接続された、マルチコレクタのトランジスタ Q_1 と Q_2 と抵抗 R_1 と R_2 から構成される電流源回路から構成される。

【0045】 以上のように構成された本実施例の半導体集積回路装置について以下その動作を説明する。

【0046】 まず入力端子1のDCバイアス電圧 V_{in} は、電圧源 V_2 のDCバイアス電圧に等しいとする。

【0047】

50

5

【数18】

$$V_{in} = V_2$$

【0048】 V_2 : 電圧源 V_2 の電圧

この状態で、出力端子1と出力端子2の電圧差を計算する。

【0049】まず抵抗 R_3 に流れる電流 I_3 は次式で示される。

【0050】

【数19】

$$I_3 = \frac{(V_{in} - V_{BE3}) - (V_2 - V_{BE4})}{R_3}$$

【0051】

 R_3 : 抵抗 R_3 の抵抗値 V_{BE3} : トランジスタ Q_3 のベース・エミッタ間の電圧 V_{BE4} : トランジスタ Q_4 のベース・エミッタ間の電圧ここで、トランジスタ Q_3 と Q_4 の特性は等しいとすると以下が言える。

【0052】

【数20】

$$V_{BE3} = V_{BE4} = V_{BE(a)}$$

【0053】 $V_{BE(a)}$: トランジスタ Q_3 と Q_4 のベース・エミッタ間電圧(数18)と(数20)より I_3 は以下になる。

【0054】

【数21】

$$I_3 = 0$$

【0055】よって、トランジスタ Q_3 のコレクタに流れる電流 I_{c3} は、トランジスタ Q_1 のコレクタ電流 I_{c11} とトランジスタ Q_2 のコレクタ電流 I_{c21} の合計となる。

【0056】

【数22】

$$I_{c3} = I_{c11} + I_{c21}$$

【0057】

 I_{c3} : トランジスタ Q_3 のコレクタ電流 I_{c11} : トランジスタ Q_1 の一方のコレクタの電流 I_{c21} : トランジスタ Q_2 の一方のコレクタの電流また、トランジスタ Q_4 のコレクタに流れる電流 I_{c4} は、トランジスタ Q_1 のコレクタ電流 I_{c12} とトランジスタ Q_2 のコレクタ電流 I_{c22} の合計となる。

【0058】

【数23】

$$I_{c4} = I_{c12} + I_{c22}$$

【0059】

 I_{c4} : トランジスタ Q_4 のコレクタ電流 I_{c12} : トランジスタ Q_1 の一方のコレクタの電流 I_{c22} : トランジスタ Q_2 の一方のコレクタの電流ここで、 I_{c11} と I_{c12} 、 I_{c21} と I_{c22} は、以下と言え

【0060】

6

【数24】

$$I_{c11} = I_{c12} = I_{c1}$$

【0061】 I_{c1} : トランジスタ Q_1 の1つのコレクタの電流

【0062】

【数25】

$$I_{c21} = I_{c22} = I_{c2}$$

【0063】 I_{c2} : トランジスタ Q_2 の1つのコレクタの電流

10 (数24)、(数25)より(数22)、(数23)は次式となる。

【0064】

【数26】

$$I_{c3} = I_{c1} + I_{c2}$$

【0065】

【数27】

$$I_{c4} = I_{c1} + I_{c2}$$

【0066】ここで、トランジスタ Q_1 のエミッタ電流 I_{E1} は次式で示される。

20 【0067】

【数28】

$$I_{E1} = \frac{V_1 - V_{BE1}}{R_1}$$

【0068】

 V_1 : 電圧源 V_1 の電圧値 R_1 : 抵抗 R_1 の抵抗値 V_{BE1} : トランジスタ Q_1 のベース・エミッタ間の電圧また、トランジスタ Q_2 のエミッタ電流 I_{E2} は次式で示される。

【0069】

【数29】

$$I_{E2} = \frac{V_1 - V_{BE2}}{R_2}$$

【0070】

 R_2 : 抵抗 R_2 の抵抗値 V_{BE2} : トランジスタ Q_2 のベース・エミッタ間の電圧ここで、トランジスタ Q_1 と Q_2 の特性が等しいとすると以下が言える。

【0071】

【数30】

$$V_{BE1} = V_{BE2} = V_{BE(b)}$$

【0072】 $V_{BE(b)}$: トランジスタ Q_1 と Q_2 のベース・エミッタ間の電圧

(数30)を(数28)と(数29)に代入すると以下になる。

【0073】

【数31】

$$I_{E1} = \frac{V_1 - V_{BE(b)}}{R_1}$$

【0074】

【数32】

$$I_{E2} = \frac{V_1 - V_{BE(b)}}{R_2}$$

【0075】ここで、抵抗 R_1 と R_2 の相対バラツキが発生して、次式が成り立ったとする。

【0076】

【数33】

$$R_2 = K \cdot R_1$$

【0077】 K ；正の定数

(数33)を(数32)へ代入すると以下になる。

【0078】

【数34】

$$I_{C3} = \frac{1}{2} (I_{E1} + I_{E2}) = \frac{1}{2} \cdot \frac{1}{R_1} (V_1 - V_{BE(b)}) \left(1 + \frac{1}{K}\right)$$

【0084】

$$I_{C4} = \frac{1}{2} (I_{E1} + I_{E2}) = \frac{1}{2} \cdot \frac{1}{R_1} (V_1 - V_{BE(b)}) \left(1 + \frac{1}{K}\right)$$

【0085】ここで、抵抗 R_4 と R_5 に以下が成り立つとする。

【0086】

【数39】

$$R_4 = R_5 = R$$

【0087】

$$V_{O1} = V_{CC} - R \cdot I_{C3} = V_{CC} - \frac{1}{2} \cdot \frac{R}{R_1} (V_1 - V_{BE(b)}) \left(1 + \frac{1}{K}\right)$$

【0089】また、出力端子2の電圧 V_{O2} は次式で示される。

$$V_{O2} = V_{CC} - R \cdot I_{C4} = V_{CC} - \frac{1}{2} \cdot \frac{R}{R_1} (V_1 - V_{BE(b)}) \left(1 + \frac{1}{K}\right)$$

【0091】従って、出力のオフセット電圧を ΔV とすると次式で示される。

【0092】

【数42】

$$\Delta V = V_{O1} - V_{O2} = 0$$

【0093】従って、本発明により、半導体集積回路装置で発生していたオフセット電圧を減少させることができる。

【0094】

【発明の効果】本発明の半導体集積回路装置によれば、オフセット電圧を減少できる。この結果、半導体集積回路装置の精度が向上する。

【図面の簡単な説明】

【図1】本発明の半導体集積回路装置の一実施例の回路図

$$I_{E2} = \frac{V_1 - V_{BE(b)}}{K \cdot R_1}$$

【0079】また、トランジスタ Q_1 と Q_2 のエミッタ電流とコレクタ電流には以下が成り立つ。

【0080】

【数35】

$$I_{C1} = \frac{1}{2} I_{E1}$$

10 【0081】

【数36】

$$I_{C2} = \frac{1}{2} I_{E2}$$

【0082】従って、トランジスタ Q_3 と Q_4 のコレクタを流れる電流は、次式で示される。

【0083】

【数37】

【数38】

 R_4 ；抵抗 R_4 の抵抗値 R_5 ；抵抗 R_5 の抵抗値 R ；抵抗値以上より出力端子1の電圧 V_{O1} は次式で示される。

【0088】

【数40】

【0090】

【数41】

【図2】本発明の一実施例の平面図

【図3】本発明の一実施例の要部断面図

【図4】従来の半導体集積回路装置の一例の回路図

【図5】従来例の平面図

40 【符号の説明】

1 入力端子

2 出力端子

3 出力端子

4 電源端子

5 増幅回路

6 電流源回路

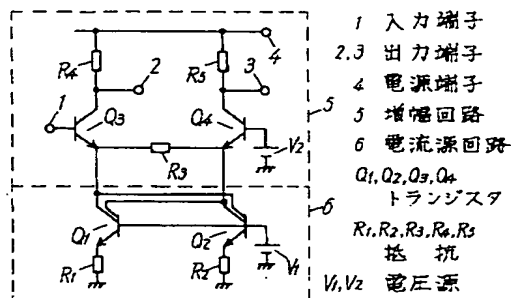
 Q_1, Q_2, Q_3, Q_4 トランジスタ R_1, R_2, R_3, R_4, R_5 抵抗

7～18 電極配線1

50 19 電極配線2

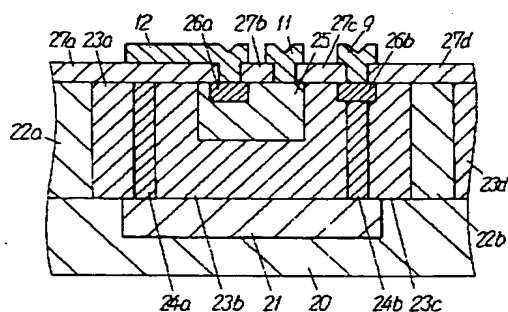
- 20 P型半導体基板
 21 n⁺埋込層
 22 a, b, c P⁺分離層
 23 a, b, c, d n型エピタキシャル層
 24 a, b, n⁺層

【図1】



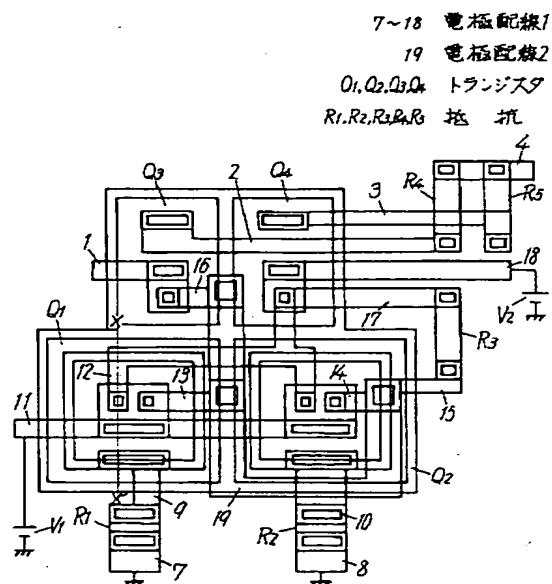
【図3】

- 20 p型半導体基板
 21 n⁺埋込層
 22 a, b p⁺分離層
 23 a, b, c, d n型エピタキシャル層
 24 a, b n⁺層
 25 p型ベース領域
 26 a n型コレクタ領域
 26 b n型エミッタ領域
 27 a, b, c, d 保護膜

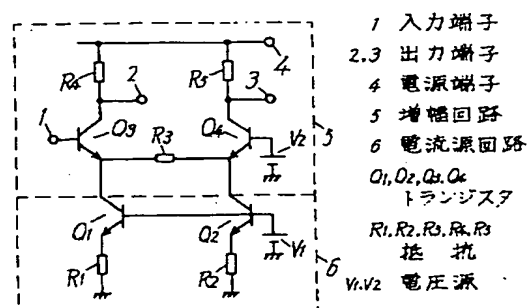


- 25 P型ベース領域
 26 a n型コレクタ領域
 26 b n型エミッタ領域
 27 a, b, c, d 保護膜

【図2】



【図4】



【圖 5】

